

2000-299380

[Claims]

[Claim 1] A method of forming a contact for a semiconductor device comprising the steps of:

forming an etching barrier layer made of a persilicon oxide nitride film on a semiconductor substrate having a predetermined lower structure;

forming an interlayer insulator on the persilicon oxide nitride film;

forming a photosensitive film pattern which exposes the part of the interlayer insulator in which a contact hole is to be formed;

etching the interlayer insulator by use of a C-H-F type gas in such a manner that the interlayer insulator exposed by the photosensitive film pattern is selectively removed, whereby the persilicon oxide nitride film is exposed, and removing the photosensitive film pattern; and

removing the exposed persilicon oxide nitride film by use of the interlayer insulator selectively removed as a mask to form a self-aligned contact.

[Claim 2] A method of forming a contact for a semiconductor device according to claim 1, wherein the interlayer insulator is made of any one of BPSG, TEOS, PSG, HDP-USG, and APL (Advanced Planarization Layer).

[Claim 3] A method of forming a contact for a semiconductor device according to claim 1, wherein as the C-H-F containing gas, a gas or mixed gas selected from the group consisting of C_2F_4 , C_2F_6 , C_3F_6 , C_3F_8 , C_4F_8 , C_4F_6 , C_5F_8 , C_5F_{10} , $C_xH_yF_z$ ($x+y = 2, 3, 4, 5$; $z = 4, 6, 8, 10$), CH_3F , C_2HF_5 , C_2H_2 , CH_3F , and CH_2F_2 is used, or the mixed gas mixed with an inert gas is used.

[Claim 4] A method of forming a contact for a semiconductor device according to claim 1, wherein in the case of BPSG used as the interlayer insulator, the process of etching the interlayer insulator is carried out at a power of 300 to 3,000 W and a gas pressure of 3 to 200 mT, by use of a mixed gas having a ratio of C_4F_8 : CH_2F_2 : Ar = 5 to 50 : 1 to 50 : 1 to 1,000.

[Claim 5] A method of forming a contact for a semiconductor device comprising the steps of:

laminating a conductive layer pattern and a hard mask
insulating layer pattern on a semiconductor substrate;

forming an insulating film spacer on the side walls of the hard mask insulating film pattern and the conductive layer pattern;

forming an etching barrier layer made of a persilicon oxide nitride film on the upper side of the whole structure;

forming an interlayer insulator on the persilicon oxide
nitride film;

forming a photosensitive film pattern which exposes the

part of the interlayer insulator in which a contact hole is to be formed;

etching the interlayer insulator by use of a C-H-F type gas in such a manner that the interlayer insulator exposed by the photosensitive film pattern is selectively removed, whereby the persilicon oxide nitride film is exposed, and removing the photosensitive film pattern; and

removing the exposed persilicon oxide nitride film by use of the interlayer insulator selectively removed as a mask to form a self-aligned contact.

[Claim 6] A method of forming a contact for a semiconductor device according to claim 5, wherein the interlayer insulator is made of any one of BPSG, TEOS, PSG, HDP-USG, and APL (Advanced Planarization Layer).

[Claim 7] A method of forming a contact for a semiconductor device according to claim 5, wherein as the C-H-F containing gas, a gas or mixed gas optionally selected from the group consisting of C_2F_4 , C_2F_6 , C_3F_6 , C_3F_8 , C_4F_8 , C_4F_6 , C_5F_8 , C_5F_{10} , $C_xH_yF_z$ ($x+y = 2, 3, 4, 5$; $z = 4, 6, 8, 10$), CH_3F , C_2HF_5 , C_2H_2 , CH_3F , and CH_2F_2 is used, or the mixed gas mixed with an inert gas is used.

[Claim 8] A method of forming a contact for a semiconductor device according to claim 5, wherein in the case of BPSG used as the interlayer insulator, the process of etching the interlayer insulator is carried out at a power of 300 to

3,000 W and a gas pressure of 3 to 200 mT, by using a mixed gas having a ratio of C_4F_8 : CH_2F_2 : Ar = 5 to 50 : 1 to 50 : 1 to 1,000.

[Claim 9] A method of forming a contact for a semiconductor device comprising the steps of:

forming a conductive layer on a semiconductor substrate and a hard mask made of a first persilicon oxide nitride film containing 5 to 70 percents of amorphous silicon and polysilicon on the conductive layer;

plasma-treating the first persilicon oxide nitride film to form an oxide film on the surface of the first persilicon oxide nitride film;

patterning the hard mask and the conductive layer to form a hard mask pattern and a conductive wiring; and

forming a spacer made of a second persilicon oxide nitride film containing 5 to 70 percents of amorphous silicon and polysilicon on the side walls of the hard mask pattern and the conductive wiring.

[Claim 10] A method of forming a contact for a semiconductor device according to claim 9, wherein the first persilicon oxide nitride film is formed by an in-situ process in such a manner that the lower portion of the first persilicon oxide nitride film has a low content of silicon, and the higher portion thereof has a higher content of silicon.

[Claim 11] A method of forming a contact for a semiconductor device according to claim 10, wherein the first persilicon oxide nitride film is formed so that the content of silicon nitride (Si_3N_4) based on the amorphous silicon or polysilicon, silicon nitride (Si_3N_4), and silicon oxide (SiO_2) constituting the silicon oxide nitride film is in the range of 10 percents to 90 percents.

[Claim 12] A method of forming a contact for a semiconductor device according to claim 9, wherein the first and second persilicon oxide nitride films are formed by a PECVD method using a high frequency electric source at 13.56 MHz or 100 Hz to 1 MHz.

[Claim 13] A method of forming a contact for a semiconductor device according to claim 12, wherein the PECVD method is carried out at a plasma generation power of 0 to 2KW, with a substrate bias being applied for a higher film density, and under pressure at 0.5 to 20 torr.

[Claim 14] A method of forming a contact for a semiconductor device according to claim 12, wherein the PECVD method uses a mixed gas for vapor deposition which is a mixed gas comprising 0 to 500 sccm of SiH_4 , 0 to 5000 sccm of N_2O , and 0 to 50000 sccm of N_2 mixed with an inert gas such as He, Ne, Ar or the like.

[Claim 15] A method of forming a contact for a semiconductor device according to claim 9, wherein the first

and second persilicon oxide nitride film is formed by a PECVD method, using an ultra-high frequency electric source at 2.45GHz.

[Claim 16] A method of forming a contact for a semiconductor device according to claim 15, wherein the PECVD method is carried out at a plasma generation power of 0 to 5KW, with a substrate bias being applied for a higher film density, and under pressure at 0.002 to 100 torr.

[Claim 17] A method of forming a contact for a semiconductor device according to claim 15, wherein the PECVD method uses a mixed gas for vapor deposition which is a mixed gas comprising 0 to 500 sccm of SiH_4 , 0 to 5000 sccm of N_2O , and 0 to 50000 sccm of N_2 mixed with an inert gas such as He, Ne, Ar or the like, whereby the thin-film uniformity is enhanced.

[Claim 18] A method of forming a contact for a semiconductor device according to claim 9, wherein the plasma treatment is carried out by an in-situ process at a reaction chamber pressure of 0.01 to 10 torr, a high frequency applied-power of 0 to 5000 W, a substrate temperature of 100 to 500°C, a distance between the electrodes of 100 to 10000 mm, by use of 100 to 10000 sccm of a N_2O or O_2 gas.

[Claim 19] A method of forming a contact for a semiconductor device comprising the steps of:

forming a conductive layer, a first silicon oxide nitride film, and a first silicon-rich oxide nitride film on the upper side of a semiconductor substrate, and patterning then to form a conductive wiring;

forming a spacer having a lamination structure comprising a second silicon oxide nitride film and a second silicon-rich oxide nitride film on the side wall of the conductive wiring;

forming an interlayer insulator on the surface of the whole structure so as to make the whole of the upper surface flat; and

forming a contact for exposing a predetermined part of the semiconductor substrate by a self-alignment technique.

[Claim 20] A method of forming a contact for a semiconductor device according to claim 19, wherein the first and second silicon oxide nitride films and the first and second silicon-rich oxide nitride films are formed in-situ, respectively.

[Claim 21] A method of forming a contact for a semiconductor device according to claim 19, wherein the contact-etching process by a self-alignment technique is carried out by use of C-F type plasma by which the interlayer insulator and the first and second silicon-rich oxide nitride films can present a sufficient difference between the etch selectivities of them.

[Claim 22] A method of forming a contact for a semiconductor device according to claim 21, wherein the contact-etching process by a self-alignment technique is carried out after an inert gas such as argon, helium, or the like is added for enhancement of the stability of the etching process.

[Claim 23] A method of forming a contact for a semiconductor device according to claim 19, wherein the contact-etching process by a self-alignment technique is carried out by use of a carbon-rich (C-rich) fluoro-gas such as C_3F_8 , C_5F_8 , or the like.

[Claim 24] A method of forming a contact for a semiconductor device according to claim 21, wherein in the contact-etching process, a C-H-F type gas is added, whereby the etching-stop phenomenon, which may be caused by a polymer, is suppressed.

[Claim 25] A method of forming a contact for a semiconductor device according to claim 19, wherein oxide films are used instead for the first and second silicon oxide nitride films.

[0021] As a method proposed to solve the above-described problems, the SAC method using a nitride film as an etching barrier layer is exemplified.

[0022] According to this method, dry etching is carried out under the condition that the difference between the etch selectivities of the interlayer insulator and the etching barrier layer is large, that is, the difference is 15 : 1 or larger, so that the nitride film is exposed, and moreover, the exposed nitride film is removed to form a contact hole.

[0023] At this time, to increase the aforementioned etch selectivities, the etching process uses a mixed gas of at least one kind of a C-H-F type gas or an H-containing gas which can generate a large amount of polymers, such as C_2F_4 , C_2F_6 , C_3F_6 , C_3F_8 , C_4F_8 , C_2H_2 , CH_3F , C_2HF_5 , CH_2F_2 , or the like, with an inert gas.

[0024] When the polymers generated during the etching process are vapor-deposited on the interlayer insulator made of an oxide film material, the polymers are continuously removed, due to oxygen generated from the oxide film, that is, the etching is carried out. However, when the polymers are vapor-deposited on the nitride film, the nitride film suffers no damages, because of absence of an etching source.

[0025] Thus, when the amount of the polymers is increased, the etch selectivity ratio between the oxide film and the nitride film is increased. However, when the amount of the

polymers becomes excessively large or when polymers of which the components can not be etched are formed, the etching stops in a certain stage. As the C/F ratio is increased, a larger amount of polymers are formed. This causes a problem in that the aforementioned etching stops more fluently.

[0026] Moreover, when the difference between the etch selectivities of the oxide film and the nitride film is small, the nitride film suffers damages while the oxide film is being etched. Accordingly, problems are caused in that the underlying conductive layer, for example, a semiconductor substrate is damaged, and an upper wiring and a lower wiring are short-circuited, and moreover, the flexibilities of the optimum processing conditions are reduced, resulting in deterioration of the reproducibility of the device, and moreover, the reliability of the device is reduced, due to stress with respect to other laminated films.

[0067]

[Embodiments of the Invention] Hereinafter, embodiments of a method of forming a contact for a semiconductor device according to the present invention will be described with reference to the accompanying drawings.

[0068] FIGS. 5 to 7 are illustrations of a process of manufacturing a contact hole for a semiconductor device according to a second embodiment of the present invention which is an example of an SAC for a charge storage electrode.

[0069] FIG. 8 is a cross-sectional view of a semiconductor device according to a second embodiment of the present invention.

[0070] FIG. 9 is a cross-sectional view of a semiconductor device according to a third embodiment of the present invention.

[0071] In the first embodiment of the present invention, as shown in FIG. 1, a MOS FET, which comprises a gate electrode (53) overlapping a gate oxide film (not shown), a mask oxide film (33) pattern, and source/drain regions (not shown), is formed on a predetermined semiconductor substrate (51), e.g., on a silicon wafer. Thereafter, a persilicon oxide nitride layer (57), which functions as an etch-stopping layer when a contact hole is formed by etching, is formed on the whole surface of the above-described structure.

[0072] At this time, for the persilicon oxide nitride film

(57), SiH_4 and Si_2H_6 as a silicon source, N_2O and O_2 as an oxygen source, and NH_3 , N_2 and the like as an nitrogen source are commonly used.

[0073] Moreover, the mixed gas flow rate, the generation electric source, the gas pressure, the substrate bias, and so forth are controlled corresponding to the plasma generation principle, and the equipment. The persilicon oxide nitride film may be formed by Plasma Enhanced Chemical Vapor Deposition (hereinafter, referred to as PE-CVD briefly), High Density Plasma Chemical Vapor Deposition (HDP-CVD), and so forth.

[0074] The PE-CVD mainly uses a capacitive- coupled type plasma CVD system, and the high density plasma CVD (HDP-CVD) employs an inductive-coupled plasma CVD system.

[0075] Subsequently, as shown in FIG. 6, an interlayer insulator (59) made of an oxide film material such as Boro Phospho Silicate Glass (hereinafter, referred to as BPSG briefly), Tetra Echyl Ortho Silicate (hereinafter, referred to as TEOS briefly), Phospho Silicate Glass (PSG), or the like is formed on the persilicon oxide nitride film (57), as shown in FIG. 6. A photosensitive film pattern (61) is formed so as to expose the part of the interlayer insulator (59) under which a charge storage electrode contact is to be formed.

[0076] Next, as shown in FIG. 7, the exposed interlayer

insulator (59) is dry-etched by use of the photosensitive film pattern (61) to form a contact hole (63) by which the persilicon oxide nitride film (15) is exposed.

[0077] At this time, the persilicon oxide nitride film (57) contains Si-Si bonds as a different type of etching material, in addition to Si-O bonds and Si-N bonds, and therefore, has a sufficient etch selectivity ratio with respect to the interlayer insulator (59) made of the oxide film material.

[0078] The experimental results by the inventor show that the aforementioned etch selectivity ratio with respect to the interlayer insulator (59), which depends on the Si content, is varied as shown in the following Table 1 when the interlayer insulator (59) is made of the BPSG. The persilicon oxide nitride film of which the Si content is 70% or higher is not used, since it causes a leakage current.

[0079]

[Table 1]

Si content (%)

Selectivity Ratio

[0080] Moreover, the etching conditions of the interlayer insulator (59) are determined taking account of such elements as listed in Table 2.

[0081] At this time, for the dry etching process, a C-H-F containing gas, that is, a gas or mixed gas selected from the group consisting of C_2F_4 , C_2F_6 , C_3F_6 , C_3F_8 , C_4F_6 , C_4F_8 , C_4F_{10} ,

C_5F_8 , C_5F_{10} , $C_xH_yF_z$ ($x+y = 2, 3, 4, 5$; $z = 4, 6, 8, 10$), CH_3F , C_2HF_5 , C_2H_2 , CH_3F , and CH_2F_2 is used. The mixed gas may be mixed with an inert gas such as Ar, Ne, Xe, N_2 , or the like.

[0082] In a preferred embodiment, as revealed by the experimental results obtained by the inventors, when BPSG is used as the interlayer insulator (59), the maximum selectivity ratio can be obtained at a power of 300 to 3,000W and a gas pressure of 3 to 200 mT, by using a mixed gas having a ratio of $C_4F_8 : CH_2F_2 : Ar = 5$ to 50 : 1 to 50 : 1 to 1000.

[0083] Referring to the relationships between the processing conditions, the selectivity ratio, the etch-stop possibility, and the nitrogen film punch-through possibility, the etch selectivity ratio is increased, the etch-stop possibility is reduced, and the nitrogen film punch-through possibility is reduced, with the power, the gas pressure, the amount of C_4F_8 or CH_2F_2 gas, and the amount of Ar gas being increased.

[0084] The persilicon oxide nitride film (59) and the nitride film have material-characteristics as listed in Table 2.

[0085]

[Table 2]

Material

Dielectric constant

Stress

Selectivity ratio

Persilicon oxide nitride film

Nitride film

[0086] Hereinafter, the second and third embodiments of the present invention will be described with reference to FIGS. 8 and 9.

[0087] FIG. 8 is a cross-sectional view of a semiconductor device according to a second embodiment of the present invention.

[0088] FIG. 9 is a cross-sectional view of a semiconductor device according to a third embodiment of the present invention.

[0089] The second embodiment of the present invention deals with the case in which as an etching barrier layer, the persilicon oxide nitride film is used, and an oxide film spacer (77) is formed on the side walls of a gate electrode (73) and a mask oxide film pattern (75), as shown in FIG. 8.

[0090] In the third embodiment of the present invention, for example, a spacer (97) is formed by using a persilicon oxide nitride film, and a mask oxide film (95) is made of the persilicon oxide nitride film instead.

[0091] Thus, according to the method of forming a contact for a semiconductor of the present invention, in the SAC process using an etching barrier layer, the persilicon oxide

nitride film is used as the etching barrier layer, and C-H-F type gasses are mixed and used in the etching process employing the interlayer insulator, so that the etch selectivity ratio thereof to the etching barrier layer is increased. Since the persilicon oxide nitride film suffers less stress compared to the low pressure CVD nitride film, phenomena such as deterioration of the characteristics of the device, distortion of the wafer, and so forth, which may be caused by the stress, can be prevented.

[0092] In addition, problems of generation of cracks in the nitride film in the succeeding heat treatment process are eliminated. Since the persilicon oxide nitride film, which is ordinarily useful as a reflection preventing film, is employed, an additional process for reflection-prevention is not needed. Thus, the process can be simplified.

[0093] Moreover, since the persilicon oxide nitride film has a smaller dielectric constant compared to the nitride film, reduction of the operational speed of the device, which may be caused by the parasitic capacitance between wirings, can be improved.

[0094] Furthermore, the persilicon oxide nitride film suffers no damages. This prevents the substrate from being damaged. The flexibilities of the optimum processing conditions are increased, and the uniformity of etching is enhanced. Thus, the manufacturing yield and the operational

reliability of the device are enhanced.

[0095] Moreover, a fourth embodiment of the method of forming a contact for a semiconductor device of the present invention will be described with reference with the accompanying drawings.

[0096] FIGS. 10 to 11 are cross-sectional views of the method of forming a contact for a semiconductor device according to the fourth embodiment of the present invention.

[0097] By way of reference, the inventive principle of the method of forming a contact for a semiconductor device according to the fourth embodiment of the present invention will be described below.

[0098] In the fourth embodiment of the present invention, deposition processes for ARC, the hard mask, and the insulating film spacer are carried out in a multistage to form a conductive wiring by using the SAC process, the respective thin films are formed in such a manner that the inherent characteristics and functions of the thin films can be maintained. The thin films are made of the same material, that is, the single layer of the polysilicon oxide nitride film.

[0099] First, the wiring material has a high refractive index. Thus, the refractive index of the aforementioned reflection preventing film needs to have an intermediate value between the refractive indexes of the wiring material

and the photosensitive film.

[0100] Accordingly, the value should be varied in a wide range, and the reflection preventing film has such inherent functions that the film when it is disposed in the device does not deteriorate the characteristics of the device.

[0101] The hard mask should have a high etch selectivity ratio with respect to the oxide film as the interlayer insulator as well as the existing nitride film, and should function as an oxidation-preventing film for the wiring material and also, should have such film characteristics as do not deteriorate the characteristics of the device.

[0102] Accordingly, in this invention, the novel persilicon oxide nitride film having specified contents of amorphous silicon, polysilicon, silicon nitrides, and silicon oxides, is formed by using a PECVD system and adjustment of the mix ratio of vapor deposition gasses for forming the silicon oxide nitride film, and equipment factors such as plasma excitation power, the temperature of a substrate, the pressure of reaction gases, and so forth.

[0103] For the persilicon oxide nitride film used in the present invention, the content of amorphous silicon or polysilicon is set to be in the range of 5 to 30 %, that of the silicon nitride film is set to be in the range of 30 % to 70 %, and the n , k values (n is a refractive index, and k is an absorption constant) are maintained so that the

persilicon oxide nitride film can be used as the reflection preventing film.

[0104] The persilicon oxide nitride films presenting the same optical characteristics and the same inherent function during the process. The process is divided in several steps. The steps are carried out in unit-processes, respectively, so that the films have a function as the reflection preventing film and that as the hard mask. The in-situ plasma process for removing scums can be carried out in the same chamber. Thus, the processing efficiency is high.

[0105] The persilicon oxide nitride film, which is a material for the hard mask or the like, is used for the spacer, and thereby, the bonding characteristics between the two thin films are enhanced. Thus, separation of the two thin films from each other, which may be caused during the succeeding heat treatment process, is prevented. Thus, the stability of the device is enhanced.

[0106] Moreover, stress applied to the films can be controlled by utilization of the PECVD. The coating ratio of the PECVD for a step-shaped portion is inferior to that of the LPCVD, but, when the space is formed by vapor-deposition, the PECVD can be advantageously used in formation of a pattern having a small interval between wirings.

[0107] In view of the foregoing, in the method of forming a

contact for a semiconductor device according to the fourth embodiment of the present invention, a conductive layer (101) is formed on the upper side of a semiconductor substrate (not shown) as shown in FIG. 10. A single layer composed of a first persilicon oxide nitride film (103) which functions as a reflection preventing film and also a hard mask is formed thereon.

[0108] At this time, the first persilicon oxide nitride film (103) is formed by vapor deposition in a reaction chamber in which the reaction chamber pressure is in the range of 0.1 to 10 torr, the high frequency applied-power is 10 to 1000 KW, the substrate temperature is 100 to 500 °C, the distance between the electrodes is maintained in the range of 100 to 1000 mm, and the ratio of reactant gases is controlled.

[0109] Moreover, the first persilicon oxide nitride film is formed so as to contain amorphous silicon and polysilicon at a content of 5 to 30 percents, whereby the difference between the etch selectivities of the first persilicon oxide nitride film and the oxide film used as the interlayer insulator is increased.

[0110] At this time, the first persilicon oxide nitride film is formed by the in-situ process in such a manner that the silicone content is low on the lower side of the film and is high on the upper side in the aforementioned range of

5 to 30 %, and is used as the hard mask which enhances the etching efficiency during the etching process.

[0111] Then, the first persilicon oxide nitride film (103) having the aforementioned low silicon content is made of silicon, silicon nitride (Si_3N_4), and silicon oxide (SiO_2) at a content of Si-N (Si_3N_4) of 30 % to 70 %, whereby the content ratio of Si-O (SiO_2) is decreased, and the difference between the etch selectivities of the first persilicon oxide nitride film and the interlayer insulator made of an oxide film formed in the succeeding process is increased.

[0112] Next, the surface of the first persilicon oxide nitride film (103) is oxidized by plasma treatment in-situ in the same chamber, though not shown in the drawing, to form a thin oxide film (not shown). Thus, the scum phenomenon which may occur in the etching process is suppressed.

[0113] At this time, the conditions for the plasma treatment made to progress in-situ are as follows.

[0114] First, the plasma treatment is carried out at a reaction chamber pressure of 0.01 to 10 torr, a high frequency applied-power of 0 to 5000 W, a substrate temperature of 100 to 500°C, and a distance between the electrodes of 10 to 1000 mm, by using N_2O or O_2 gas at 100 to 10000 sccm.

[0115] Subsequently, the first persilicon oxide nitride

film (103) and the conductive layer (101) are patterned by photographic etching process utilizing a conductive wiring mask (not shown) to form a first persilicon oxide nitride film pattern (103) and a conductive layer pattern (101).

[0116] Next, as shown in FIG. 11, a second persilicon oxide nitride film (not shown) is formed by vapor deposition on the whole surface till the thickness has a predetermined value.

[0117] At this time, the second persilicon oxide nitride film (not shown) is formed by the PECVD method using a high frequency electric source at 13.56MHz or in the range of 100 Hz to 1MHz.

[0118] Moreover, the PECVD method is carried out at a plasma generation power of 0 to 2 KW, with a substrate bias being applied for enhancement of a thin-film density, and at a pressure of 0.5 to 20 torr.

[0119] Moreover, the PECVD method uses a mixed gas comprising 0 to 500 sccm of SiH_4 , 0 to 5000 sccm of N_2O , and 0 to 50000 sccm of N_2 .

[0120] In this case, the thin-film uniformity can be more enhanced by use of a mixed gas for vapor deposition having an inert gas such as He, Ne, Ar, or the like added thereto for dilution.

[0121] Moreover, the second persilicon oxide nitride film (not shown) can be also formed by the PECVD method using an

ultra high frequency electric source at 2.45 GHz.

[0122] The aforementioned PECVD method is carried out at a plasma generation power of 0 to 5 KW, with a substrate bias being applied for enhancement of the thin-film density, and at a pressure of 0.002 to 100 torr.

[0123] Moreover, according to the PECVD method, the thin-film uniformity can be further enhanced by using a mixed gas for vapor deposition, which is a gas of 0 to 500 sccm of SiH_4 and 0 to 5000 sccm of N_2O mixed with 0 to 5000 sccm of N_2 , having an inert gas such as He, Ne, Ar, or the like added thereto for dilution.

[0124] Subsequently, the second persilicon oxide nitride film (not shown) is anisotropically etched to form a persilicon oxide nitride film spacer (105) on the side walls of the conductive layer (101). Thus, the single layers of the persilicon oxide nitride film pattern (103) and the persilicon oxide nitride film spacer (105) are formed on the upper side and the side wall of the conductive layer pattern (101).

[0125] The following Table 3 lists the results obtained by measurement of the optical characteristics of the persilicon oxide nitride film pattern (103) and the persilicon oxide nitride film spacer (105) formed according to the present invention, by use of a spectroscopic ellipsometer (n is a refractive index, and k is an absorption constant).

[0126]

[Table 3]

Amorphous silicon (%)

Wavelength (nm)

[0127] Moreover, the following Table 4 lists the characteristics such as the dielectric constants, stresses, and selectivities obtained by the existing NB-SAC process and oxide nitride film SAC processes, and the persilicon oxide nitride film SAC process technique according to the present invention.

[0128]

[Table 4]

Dielectric constant

Stress

Selectivity ratio

Persilicon oxide nitride film sac

Oxide nitride film sac

[0129] By way of reference, the coating ratio of the PECVD for a step-shaped portion is lower than that of the LPCVD. When the spacer is formed, the thickness of the film formed by vapor-deposition on the side thereof and the lower portion becomes small with the line-width of a wiring being decreased. As a result, the PECVD can be advantageously carried out when the spacer is formed in a narrow space between patterns.

[0130] Accordingly, in the method of forming a contact for a semiconductor device of the present invention, when the persilicon oxide nitride film is formed, the content of the amorphous silicon for constituting the film is maintained at a constant value in the range of 5 to 30%, and simultaneously, the content of Si - N is set in the range of 30 to 70 %, whereby the etch selectivity is increased. Thus, the SAC process using a single layer of the persilicon oxide nitride film is carried out instead of the existing SAC process using the capping nitride film. Thus, the functions of the layers as the reflection preventing film, the hard mask, and the spacer formed by the existing multi-stage vapor deposition can be achieved.

[0131] Moreover, according to the method of forming a contact for a semiconductor device of the present invention, the reflectivity of a film underlying the persilicon oxide nitride film can be adjusted to 10% or less when the thickness of the persilicon oxide nitride film is at least 900Å. From this point of view, the thicknesses of the reflection preventing film and the hard mask vapor deposition film can be reduced, and therefore, the height of a step-shaped portion can be decreased in the succeeding process.

[0132] Moreover, after the vapor deposition, the in-situ plasma treatment can be carried out. Thus, the multi-stage

processes can be reduced to the one-step process. That is, the process can be simplified.

[0133] Moreover, the process of etching the single layer of the persilicon oxide nitride film can be substituted for the multi-stage etching processes employed due to the use of two kinds of materials for the silicon oxide nitride film and the nitride film in the etching process. Thus, the process efficiency can be enhanced.

[0134] In addition, the hard mask and the reflection preventing film are made of the persilicon oxide nitride film. The bonding of the hard mask is increased, which contributes to the stability of the formation of wirings in the device.

[0135] Thus, according to the present invention, the economy of cost and time, and the process efficiency, and characteristics of the device can be improved.

[0136] Furthermore, a fifth embodiment of a method of forming a self-aligned contact for a semiconductor of the present invention will be described in detail with reference to the accompanying drawings.

[0137] FIGS. 12 and 13 are cross-sectional views of the method of forming a self-aligned contact for a semiconductor according to the fifth embodiment of the present invention, respectively.

[0138] According to the method of forming a self-aligned

contact for a semiconductor of the present invention, a conductor (113) for a gate electrode, a first silicon oxide nitride film (115), and a first silicon rich silicon oxide nitride film (117) are laminated onto a semiconductor substrate (111), as shown in FIG. 12.

[0139] At this time, the first silicon rich oxide nitride film (117) is an oxide nitride film containing 20 % by volume of silicon.

[0140] Moreover, the first silicon oxide nitride film (115) is an ordinary oxide nitride film. The first silicon oxide nitride film (115) and the first silicon rich silicon oxide nitride film (117) can be formed in-situ by adjustment of a source gas for silicon supplied during the process of forming the second silicon rich oxide nitride film (117).

[0141] Subsequently, a photosensitive film is coated onto the upper side of the laminated structure. The photosensitive film is formed into a photosensitive film pattern by the exposure and development processes using a gate electrode mask (not shown).

[0142] Next, the laminated structure is etched with the photosensitive pattern being used as a mask. Thus, a gate electrode provided with a laminated structure comprising the first silicon oxide nitride film (115) and the first silicon rich oxide nitride film (117) in the upper portion thereof is formed.

[0143] Thereafter, the second silicon oxide nitride film (not shown) is formed so as to have a predetermined thickness on the upper side of the whole surface, and is anisotropically etched to form a first insulating film spacer (119) made of the second silicon oxide nitride film on the side wall of the gate electrode.

[0144] Next, a second silicon-rich oxide nitride film (not shown) is formed on the upper side of the whole surface till the thickness has a predetermined value, and is anisotropically etched, whereby a second insulating film spacer (121) made of the second silicon-rich oxide nitride film is formed on the side wall of the first insulating film spacer (119).

[0145] At this time, the first and second silicon oxide nitride films (115) and (119) can be used instead of the oxide films.

[0146] Subsequently, an interlayer insulator (123) is formed on the upper side of the whole surface so as to make the whole surface flat. At this time, the interlayer insulator (123) is made from an insulating material having high flow properties such as BP-SG.

[0147] Next, the interlayer insulator (123) is etched for self-alignment by the etching process using a contact mask with which bit lines and storage electrodes can be formed, whereby a contact (125) is formed so as to expose a

predetermined part of the semiconductor substrate (111).

[0148] At this time, the process of etching to form a self-aligned contact is carried out by means of a C-F type plasma using C_4F_8/CH_2F_2 or the like by which the first and second silicon-rich oxide nitride films (117) and (121) can present a sufficient etch selectivity with respect to the interlayer insulator (123).

[0149] Moreover, to enhance the stability of the etching process, an inert gas such as argon, helium or the like may be added, and then, the process is executed.

[0150] The etching process can be carried out by using a carbon-rich (C-rich) fluoro-gas such as C_3F_8 , C_5F_8 or the like. In this case, to this gas, a C-H-F type gas may be added, so that the etching-stop phenomenon, which may be caused by polymers, is eliminated, and thus, a high selectivity is obtained.

[0151] Moreover, a mask insulating film and an insulating film spacer for a bit line in place of the gate electrode can be formed so as to have a laminated structure comprising the silicon oxide nitride film and the silicon-rich silicon oxide nitride film according to the present invention. Thus, the present invention may be applied to a bit line contact process and a storage electrode contact process.

[0152]

[Advantages] As described above, the method of forming a

self-aligned contact for a semiconductor device in accordance with the present invention has the following advantages.

[0153] In the methods of forming a contact for a semiconductor device according to the first to third embodiments of the present invention, in the SAC process using an etching barrier layer, the persilicon oxide nitride film is used as the etching barrier layer. C-H-F type gases are mixed and used in the etching process for the interlayer insulator, so that the etch selectivity of the interlayer insulator with respect to the etching barrier layer is increased. Thus, the persilicon oxide nitride film suffers less stress compared to the low pressure CVD nitride film, and phenomena such as deterioration of characteristics of the device, distortion of the wafer, and so forth, which may be caused by the stress, can be prevented.

[0154] Problems of generation of cracks in the nitride film during the succeeding heat treatment process can be solved. The persilicon oxide nitride film, which is ordinarily useful as a reflection preventing film, is used. Thus, an additional reflection preventing process is not required. The process can be simplified.

[0155] Moreover, since the persilicon oxide nitride film has a smaller dielectric constant compared to the nitride film, reduction of the operational speed of the device,

caused by the parasitic capacitance between wirings can be improved.

[0156] In addition, the persilicon oxide nitride film suffers no damages, and thus, the substrate is prevented from being damaged. The tolerance of the optimum processing conditions is increased, and the etching uniformity is enhanced. Thus, the processing yield and the operational reliability of the device can be enhanced.

[0157] Furthermore, in the method of forming a contact for a semiconductor device according to the fourth embodiment of the present invention, when the persilicon oxide nitride film is formed, the content of amorphous silicon constituting the film is maintained at a constant value of 5 to 30%, and simultaneously, the Si-N content is controlled to be in the range of 30 to 70%, so that the etch selectivity is increased. Thus, the SAC process can be carried out by using the single layer of the persilicon oxide nitride film, instead of the existing SAC process using a capping nitride film, and the functions of the reflection preventing film, the hard mask, and the spacer formed by the existing multistage vapor deposition can be executed.

[0158] Moreover, in the method of forming a contact for a semiconductor device according to the present invention, when the thickness of the persilicon oxide nitride film is

at least 900Å, the reflectivity of the underlying film can be controlled to be up to 10%. Accordingly, the thicknesses of the reflection preventing film and the hard mask vapor deposition film can be reduced, and the height of a step-shaped portion can be reduced for the succeeding process. [0159] Moreover, the plasma treatment can be carried out in-situ after the vapor deposition. Thus, the multistage processes can be reduced to one-step. Therefore, the processes can be simplified.

[0160] In addition, the process of etching the single layer of the persilicon oxide nitride film can be substituted for the multistage etching processes employed due to the use of two kinds of materials, that is, the silicon oxide nitride film and the nitride film in the progress of etching. Thus, the process efficiency can be enhanced.

[0161] Both of the hard mask and the reflection preventing film are made of the persilicon oxide nitride film, and thereby, the bonding of the hard mask is increased, which contributes to the stability of formation of wirings in the device.

[0162] Thus, according to the present invention, the economy of cost and time, the process efficiency, and the characteristics of the device can be improved.

[0163] In the method of forming a self-aligned contact for a semiconductor device according to the fifth embodiment of

the present invention, the mask insulating film and the insulating film spacer are formed so as to have a laminated structure comprising the ordinary silicon oxide nitride film and the silicon-rich oxide nitride film, or the ordinary silicon oxide film and the silicon-rich oxide nitride film. Thus, the process of forming a self-aligned contact can be easily carried out.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 is a cross-sectional view of a method of forming a contact for a semiconductor device according to an embodiment of a conventional art.

[FIG. 2] FIG. 2 is a cross-sectional view of a method of forming a contact for a semiconductor device according to the embodiment of the conventional art.

[FIG. 3] FIG. 3 is a cross-sectional view of a method of forming a contact for a semiconductor device according to the embodiment of the conventional art.

[FIG. 4] FIG. 4 is a cross-sectional view of a method of forming a contact for a semiconductor device according to another embodiment of the conventional art.

[FIG. 5] FIG. 5 is a cross-sectional view showing the formation of a contact for a semiconductor according to a first embodiment of the present invention.

[FIG. 6] FIG. 6 is a cross-sectional view showing the formation of a contact for a semiconductor according to the

first embodiment of the present invention.

[FIG. 7] FIG. 7 is a cross-sectional view showing the formation of a contact for a semiconductor according to the first embodiment of the present invention.

[FIG. 8] FIG. 8 is a cross-sectional view showing the formation of a contact for a semiconductor according to a second embodiment of the present invention.

[FIG. 9] FIG. 5 is a cross-sectional view showing the formation of a contact for a semiconductor according to a third embodiment of the present invention.

[FIG. 10] FIG. 10 is a cross-sectional view showing the formation of a contact for a semiconductor according to a fourth embodiment of the present invention.

[FIG. 11] FIG. 5 is a cross-sectional view showing the formation of a contact for a semiconductor according to the fourth embodiment of the present invention.

[FIG. 12] FIG. 12 is a cross-sectional view showing the formation of a contact for a semiconductor according to a fifth embodiment of the present invention.

[FIG. 13] FIG. 5 is a cross-sectional view showing the formation of a contact for a semiconductor according to the fifth embodiment of the present invention.

[Reference Numeral]

51 substrate

53 gate electrode

- 55 mask oxide film
- 57 polysilicon oxide nitride film
- 59 interlayer insulator
- 61 photosensitive film pattern
- 63 contact

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-299380

(P 2000-299380A)

(43) 公開日 平成12年10月24日(2000.10.24)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード(参考)	
H O I L	21/768	H O I L	21/90	C
	21/3065		21/302	M
	21/306		21/306	D

審査請求 未請求 請求項の数 2 5

O L

(全 1 3 頁)

(21) 出願番号 特願平11-319696

(22) 出願日 平成11年11月10日(1999.11.10)

(31) 優先権主張番号 48340/1998

(32) 優先日 平成10年11月12日(1998.11.12)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 21770/1999

(32) 優先日 平成11年6月11日(1999.6.11)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 36608/1999

(32) 優先日 平成11年8月31日(1999.8.31)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136
-1

(72) 発明者 金 正浩

大韓民国京畿道利川市夫鉢邑牙美里山148
-1 現代電子社員賃貸アパート109-213

(72) 発明者 柳 在玉

大韓民国京畿道利川市夫鉢邑鷹岩里山97
梨花賃貸アパート102-712

(74) 代理人 100074930

弁理士 山本 恵一

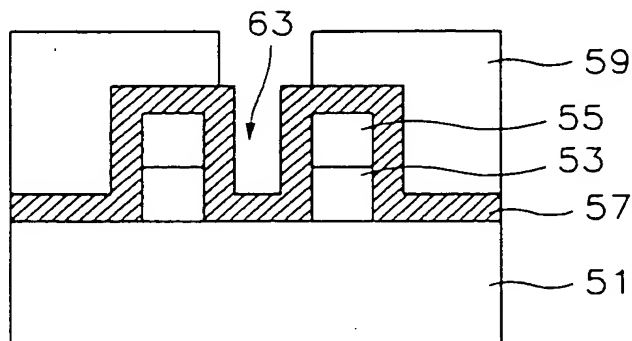
最終頁に続く

(54) 【発明の名称】 半導体素子のコンタクト形成方法

(57) 【要約】 (修正有)

【課題】 半導体素子のコンタクト形成に際し、ストレスによる素子の特性劣化やウェーハの歪曲及び熱処理工程での窒化膜のクラック発生を防止する。

【解決手段】 所定の下部構造物を有する半導体基板51上に過シリコン酸化窒化膜57で成る食刻障壁層を形成し、その上に層間絶縁膜を形成する。層間絶縁膜59でコンタクトホールに予定されている部分63を露出するための感光膜パターンを形成し、C-H-F系ガスによる食刻選択比を利用して前記感光膜パターンの除去と、選択的に除去された層間絶縁膜59をマスクに、過シリコン酸化窒化膜57の露出部を除去して自己整列コンタクトを形成する。



【特許請求の範囲】

【請求項１】 所定の下部構造物を有する半導体基板上に、過シリコン酸化窒化膜で成る食刻障壁層を形成する工程と、

前記過シリコン酸化窒化膜上に層間絶縁膜を形成する工程と、

前記層間絶縁膜でコンタクトホールに予定されている部分を露出させる感光膜パターンを形成する工程と、

前記感光膜パターンにより露出されている層間絶縁膜を

選択的に除去して過シリコン酸化窒化膜を露出させるが、前記層間絶縁膜をC-H-F系ガスを利用して食刻

し、前記感光膜パターンを除去する工程と、

前記選択的に除去された層間絶縁膜をマスクに、前記露出した過シリコン酸化窒化膜を除去して自己整列コンタクトを形成する工程を備えることを特徴とする半導体素子のコンタクト形成方法。

【請求項 2】 前記層間絶縁膜はBPSG、TEOS、PSG、HDP-
USG、又はAPL (Advanced Planarization Layer) 中、
何れか一つで成ることを特徴とする請求項 1 記載の半導
体素子のコンタクト形成方法。

【請求項3】 前記C-H-F含有ガスは、例えばC₂F₄、C₂F₆、C₃F₈、C₃F₆、C₄F₈、C₄F₆、C₅F₈、C₅F₁₀、C_xH_yF_z (x+y=2、3、4、5；z=4、6、8、10)、CH₃F、C₂HF₅、C₂H₂、CH₃F、及びCH₂F₂で成る群の中から任意に選択される一つ又はそれ以上の混合ガスであるか、前記の混合ガスに不活性ガスを混合して用いることを特徴とする請求項1記載の半導体素子のコンタクト形成方法。

【請求項4】 前記層間絶縁膜食刻工程を層間絶縁膜がBPSGのとき、パワーは300～3,000W、ガス圧力3～200mT、 $C_4F_8:CH_2F_2:Ar=5\sim50:1\sim50:1\sim1,000$ の混合ガスを用いて行うことを特徴とする請求項1記載の半導体素子のコンタクト形成方法。

【請求項5】 半導体基板上に導電層パターンとハードマスク絶縁膜パターンを積層する工程と、

前記ハードマスク絶縁膜パターンと導電層パターン側壁に絶縁膜スペーサを形成する工程と、

前記全体構造の上部に過シリコン酸化窒化膜で成る食刻障壁層を形成する工程と、

前記過シリコン酸化窒化膜上に層間絶縁膜を形成する工程と。

前記層間絶縁膜でコンタクトホールに予定されている部分を露出させる感光膜パターンを形成する工程と、

前記感光膜パターンにより露出されている層間絶縁膜を
選択的に除去して過シリコン酸化窒化膜を露出させる

が、前記層間絶縁膜をC-H-F系ガスを利用して食刻し、前記感光膜パターンを除去する工程と、

前記選択的に除去された層間絶縁膜をマスクに、前記露出した過シリコン酸化窒化膜を除去して自己整列コンタクトを形成する工程を備えることを特徴とする半導体素

子のコンタクト形成方法、

【請求項6】 前記層間絶縁膜はBPSG、TEOS、PSG、HDP-USG、又はAPL (Advanced Planarization Layer) 中、何れか一つで成ることを特徴とする請求項5記載の半導体素子のコンタクト形成方法。

【請求項7】 前記C-H-F含有ガスは、例えばC

C_2F_4 、 C_2F_6 、 C_3F_8 、 C_3F_6 、 C_4F_{10} 、 C_4F_8 、 C_5F_{12} 、 C_5F_{10} 、 $\text{C}_x\text{H}_y\text{F}_z$ ($x+y=2, 3, 4, 5; z=4, 6, 8, 10$)、 CH_3F 、 C_2HF_5 、 C_2H_2 、 CH_3I 、及び CH_2F_2 で成る群の中から任意に選択される一つ又はそれ以上の混合ガスであるか、前記の混合ガスに不活性ガスを混合して用いることを特徴とする請求項5記載の半導体素子のコンタクト形成方法。

【請求項8】 前記層間絶縁膜食刻工程を層間絶縁膜がBPSGのとき、パワーは300～3,000W、ガス圧力3～200mT、 $C_4F_8:CH_2F_2:Ar=5\sim50:1\sim50:1\sim1,000$ の混合ガスを用いて行うことを特徴とする請求項5記載の半導体素子のコンタクト形成方法。

【請求項 9】 半導体基板上に導電層を形成し、その上
20 部に非晶質シリコンやポリシリコンの含量が 5～70 パーセント含まれた第 1 過シリコン酸化窒化膜で成るハードマスクを形成する工程と、

前記第1過シリコン酸化窒化膜をプラズマ処理し、前記第1過シリコン酸化窒化膜表面に酸化膜を形成する工程と、

前記ハードマスクと導電層をパターニングし、ハードマスクパターンと導電配線を形成する工程と、

前記ハードマスクパターンと導電配線側壁に、非晶質シリコンやポリシリコンの含量が5～70パーセント含まれた第2過シリコン酸化窒化膜で成るスペーサを形成する工程を含んで成ることを特徴とする半導体素子のコンタクト形成方法。

【請求項 10】 前記第 1 過シリコン酸化窒化膜はその下側が低シリコン含量を含み、上側が高シリコン含量を含むようインシチュ工程で形成することを特徴とする請求項 9 記載の半導体素子のコンタクト形成方法。

【請求項 11】 前記第 1 過シリコン酸化窒化膜は、シリコン酸化窒化膜が形成している非晶質又はポリシリコン、シリコン窒化物 (Si_3N_4) 及びシリコン酸化物 (SiO_2) 中で、シリコン窒化物 (Si_3N_4) 含量比を 10 パーセント以上 90 パーセント以下にして形成することを特徴とする請求項 10 記載の半導体素子のコンタクト形成方法。

【請求項 12】 前記第 1 及び 2 過シリコン酸化窒化膜は、13.56MHz又は100Hz～1MHzの高周波電源を用いてPECVD方法で形成することを特徴とする請求項 9 記載の半導体素子のコンタクト形成方法。

【請求項13】 前記PECVD方法は、0~2KWのプラズマ発生電力で薄膜密度を高めるため基板バイアスを印加し、0.5~20torrの圧力で行うことを特徴とする請求

項12記載の半導体素子のコンタクト形成方法。

【請求項14】 前記PECVD方法は、 SiH_4 を0～500sccm、 N_2O を0～5000sccm、 N_2 を0～50000sccmに混合した気体を用い、He、Ne、又はAr等の不活性気体を添加して希釈した蒸着用混合気体を用いることを特徴とする請求項12記載の半導体素子のコンタクト形成方法。

【請求項15】 前記第1及び2過シリコン酸化窒化膜は、2.45GHzの超高周波電源を用いてPECVD方法で形成することを特徴とする請求項9記載の半導体素子のコンタクト形成方法。

【請求項16】 前記PECVD方法は、0～5KWのプラズマ発生電力で薄膜密度を高めるため基板バイアスを印加し、0.002～100torrの圧力下で行うことを特徴とする請求項15記載の半導体素子のコンタクト形成方法。

【請求項17】 前記PECVD方法は、 SiH_4 を0～500sccm、 N_2O を0～5000sccm、 N_2 を0～50000sccmに混合した気体を用い、He、Ne、又はAr等の不活性気体を添加して蒸着用混合気体を希釈させ、薄膜均一度を向上させることを特徴とする請求項15記載の半導体素子のコンタクト形成方法。

【請求項18】 前記プラズマ処理工程は、反応室圧力は0.01～10torr、高周波印加電力は0～5000W、基板温度は100～500℃、両電極間距離は10～1000mmの条件下で N_2O 、又は O_2 気体を100～10000sccmに用いてインシチュ工程で行うことを特徴とする請求項9記載の半導体素子のコンタクト形成方法。

【請求項19】 半導体基板上部に導電層、第1シリコン酸化窒化膜及び第1シリコンリッチ酸化窒化膜を形成し、これらをパターニングして導電配線を形成する工程と、

前記導電配線側壁に、第2シリコン酸化窒化膜と第2シリコンリッチ酸化窒化膜の積層構造で成るスペーサを形成する工程と、

前記全体構造表面上に、全体表面上部を平坦化させる層間絶縁膜を形成する工程と、

前記半導体基板の予定された部分を露出させるコンタクトを、自己整列的に形成する工程を含んで成ることを特徴とする半導体素子のコンタクト形成方法。

【請求項20】 前記第1及び2シリコン酸化窒化膜は、前記第1及び2シリコンリッチ酸化窒化膜をインシチュで形成することを特徴とする請求項19記載の半導体素子のコンタクト形成方法。

【請求項21】 前記自己整列的なコンタクト食刻工程は、前記層間絶縁膜と第1及び2シリコンリッチ酸化窒化膜が十分な食刻選択比の差を有することのできるC-F系プラズマを利用して行うことを特徴とする請求項19記載の半導体素子のコンタクト形成方法。

【請求項22】 前記自己整列的なコンタクト食刻工程は、食刻工程の安定性を向上させるためアルゴンやヘリウム等のような不活性ガスを添加して行うことを特徴と

する請求項21記載の半導体素子のコンタクト形成方法。

【請求項23】 前記自己整列的なコンタクト食刻工程は、 C_3F_8 、 C_5F_8 等のような炭素リッチ (C-rich) フッ素ガスを利用して行うことを特徴とする請求項19記載の半導体素子のコンタクト形成方法。

【請求項24】 前記コンタクト食刻工程は、C-H-F系ガスを添加してポリマーによる食刻停止現象を抑制することを特徴とする請求項21記載の半導体素子のコンタクト形成方法。

【請求項25】 前記第1及び2シリコン酸化窒化膜の代わりに、酸化膜を利用することを特徴とする請求項19記載の半導体素子のコンタクト形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野及び従来の技術】本発明は半導体素子の製造方法に関し、特に食刻停止層を用いる自己整列コンタクト (self-align contact; 以下SACと称する) 工程で過シリコン酸化窒化膜を食刻障壁層に用い、コンタクト工程での配線間短絡や工程余裕度減少に伴うエッチングストップやストレスによる素子不良発生を防止し、工程収率及び素子動作の信頼性を向上させることのできる半導体素子のコンタクト形成方法に関するものである。

【0002】最近の半導体装置の高集積化傾向は、微細パターン形成技術の発展に大きな影響を受けている。さらに、半導体装置の製造工程中で食刻、又はイオン注入工程等のマスクで非常に幅広く用いられる感光膜パターンの微細化が必須要件である。

【0003】このような感光膜パターンの分解能 (R) は感光膜そのものの材質や基板との接着力等とも密接な関連がある。しかし、一次的には用いられる縮小露光装置の光源波長 (λ) 及び工程変数 (k) に比例し、露光装置のレンズ口径 (numerical aperture; NA、開口数) に反比例する。

[$R = k * \lambda / NA$ 、R=解像度、 λ =光源の波長、NA=開口数]

【0004】ここで、前記縮小露光装置の光分解能を向上させるため光源の波長を減少させることになり、例えば波長が436及び365nmのG-ライン及びi-ライン縮小露光装置は工程分解能がライン/スペースパターンの場合、それぞれ約0.7、0.5 μm 程度が限界であり、0.5 μm 以下の微細パターンを形成するためにはこれより波長がさらに小さい遠紫外線 (deep ultra violet; DUV)、例えば波長が248nmのKrFレーザーや193nmのArFレーザーを光源に用いる露光装置を利用しなければならない。

【0005】さらに、縮小露光装置とは別に工程上の方法では露光マスク (photo mask) として位相反転マスク (phase shift mask) を用いる方法がある。しかし、イメージコントラストを向上させることのできる別途の薄

膜をウェーハ上に形成するシーイーエル (contrast enhancement layer; CEL) 方法や、二層の感光膜の間にエスオージー (spin on glass; SOG) 等の中間層を介在させた三層レジスト (Trilayer resister; 以下TLRと称する) 方法、又は感光膜の上側に選択的にシリコンを注入させるシリレーション方法等が開発され分解能の限界値を低下させている。

【0006】尚、上・下導電配線をつなぐコンタクトホールは前記でのライン/スペースパターンに比べ、デザインルールがさらに大きく現われる。ところが、素子が高集積化するに伴い自らの大きさと周辺配線との間隔が減少し、コンタクトホールの直径と深さの比であるアスペクト比 (aspect ratio) が増加する。

【0007】したがって、多層の導電配線を備える高集積半導体素子にはコンタクトを形成するため、製造工程でのマスク等の間の正確で厳しい整列が求められ工程余裕度が低減する。

【0008】このようなコンタクトホールは、ホール間の間隔維持のためマスク整列時の誤配列余裕 (misalignment tolerance)、露光工程時のレンズ歪曲 (lens distortion)、マスク製作及び写真食刻工程時の臨界大きさの変化 (critical dimension variation)、マスク間の整合 (registration) 等のような要因等を考慮してマスクを形成する。

【0009】前記のようなコンタクトホールの形成方法には直接食刻方法と、側壁スペーサを用いる方法、及びSAC方法等がある。

【0010】前記で直接食刻方法と側壁スペーサ形成方法は、現在の諸般技術水準で $0.3\mu\text{m}$ 以下のデザインルールを有する素子製造には用いることができないため、素子の高集積化に限界がある。

【0011】さらに、コンタクトホール形成時にリソグラフィ (Lithography) 工程の限界を克服するため考案されたSAC方法は、食刻障壁層に用いる物質に従い多結晶シリコン層や窒化膜又は酸化窒化膜等を用いることに分類することができ、もともと有望なものとして窒化膜を食刻防止膜に用いる方法がある。

【0012】このような観点で、従来技術に係る半導体素子の自己整列コンタクト形成方法の実施例等を下記でより具体的に説明することにする。

【0013】先ず、図面には示していないが、従来技術に係る半導体素子の自己整列コンタクト形成方法の一実施例を説明すれば次の通りである。

【0014】従来技術に係る半導体素子の自己整列コンタクト形成方法の一実施例は、先ず半導体基板上に所定の下部構造物、例えば素子分離酸化膜とゲート酸化膜、マスク酸化膜パターンと重なるゲート電極、及びソース/ドレイン領域等のモス電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor; 以下MOS FETと称する) 等を形成した後、前記構造の全表面に

食刻障壁層と酸化膜材質の層間絶縁膜を順次形成する。

【0015】その次に、前記半導体基板で電荷貯蔵電極やビットライン等のコンタクトに予定されている部分上の層間絶縁膜を露出させる感光膜パターンを形成する。

【0016】次いで、前記感光膜パターンにより露出している層間絶縁膜を乾式食刻して食刻障壁層を露出させ、再び食刻障壁層を食刻してコンタクトホールを形成する。

【0017】このとき、前記食刻障壁層を多結晶シリコンに用いる場合の方法には、食刻障壁層を全面に形成する方法とコンタクトホールが形成される地域にのみ多結晶シリコン層パッドを形成する方法に分けられる。

【0018】ところが、このような多結晶シリコンSAC方法は酸化膜とは異なる食刻器具を有する多結晶シリコンを食刻障壁層に用いるため、酸化膜とは高い食刻選択比の差を得ることができる。

【0019】しかし、多結晶障壁SAC方法はコンタクトホール間の絶縁信頼性が低下し、パッドを形成する方法はコンタクトパッドとシリコン基板間の誤整列発生時に基板に損傷が発生する。

【0020】ところが、これを防止するためスペーサを形成するかポリマーを用いてコンタクトパッドを拡張させる方法が提示されているが、これもまた $0.18\mu\text{m}$ 以下のデザインルールを実現することができない問題点がある。

【0021】前記のような問題点を解決するために提示されている方法には、窒化膜を食刻障壁層に用いるSAC方法がある。

【0022】この方法は、層間絶縁膜と食刻障壁層間の食刻選択比差が15:1以上に大きい条件で乾式食刻して窒化膜を露出させ、再び露出した窒化膜を除去してコンタクトホールを形成する。

【0023】このとき、前記食刻工程は食刻選択比を増加させるため、多量のポリマーを発生させるC-H-F系ガスや水素を含むガスで C_2F_4 、 C_2F_6 、 C_3F_8 、 C_3F_6 、 C_4F_8 、 C_2H_2 、 CH_3F 、 C_2HF_6 、又は CH_2F_2 等のガスを一又は二種類以上を不活性ガスと混合使用する。

【0024】ところが、前記食刻工程時に発生するポリマーが酸化膜材質の層間絶縁膜上に蒸着されると、酸化膜から発生する酸素によりポリマー等が持続的に除去され食刻が生じるが、ポリマーが窒化膜上に蒸着されれば食刻ソースがないので窒化膜が損傷されない。

【0025】したがって、ポリマーが増加すると酸化膜と窒化膜間の食刻選択比は増加するが、ポリマーの量が増加し過ぎるか食刻されない成分のポリマーが生成されればある段階で食刻が停止し、C/Fの比率が増加するほどポリマーの生成が増加して前記の食刻停止がより良く生じることになる問題点がある。

【0026】さらに、酸化膜と窒化膜間の食刻選択比の

差が小さくなれば、窒化膜が酸化膜食刻時に損傷を受けその下部の導電層、例えば半導体基板が損傷を受けたり上・下部配線間に短絡が発生し、最適工程条件の工程余裕度が少なく素子の再現性が低下し、他の積層膜とのストレスにより素子の信頼性が低下する等の問題点がある。

【0027】前記のような窒化膜SAC工程の問題点を解決するため提示されている方法には、食刻障壁層に酸化窒化膜を用いる方法がある。

【0028】前記酸化窒化膜は、下部層に対するストレスや熱工程でBPSG膜との界面が破裂する現象等は防止することができる。

【0029】しかし、酸化窒化膜が酸化膜と窒化膜の中間程度の性質を有する物質であるため、現在の食刻技術では酸化膜との高食刻選択比、例えば15:1以上の選択比を得難くSACそれ自体が困難になる問題点がある。

【0030】一方、従来技術に係る半導体素子の自己整列コンタクト形成方法の他の実施例を図1、乃至図3を参照して説明すれば次の通りである。

【0031】図1乃至図3は、従来技術の他の実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【0032】従来技術の他の実施例は、図1に示すように半導体基板（図示省略）上部にワードライン、ビットライン、又は金属配線形成のため導電層（11）を形成し、その上部に反射防止膜（13）及びハードマスク（15）を順次積層する。

【0033】このとき、前記反射防止膜（13）はシリコン酸化窒化膜で形成し、前記ハードマスク（15）はプラズマ化学気相蒸着（plasma enhanced chemical vapor deposition、以下ではPECVDという）方法を利用した窒化膜で形成する。

【0034】その次に、図2に示すように前記導電層（11）上部にコンタクト用感光膜パターン（17）を形成する。

【0035】このとき、前記感光膜パターン（17）は後続工程で形成されるハードマスクの窒化膜（15）蒸着後、前記感光膜パターン（17）と窒化膜（15）で起因する窒素との反応により生じるアミン類によってスキュム（scum）が形成される。これは感光膜パターンテール（PR tail）（19）を作ることになり、導電配線の形成に悪影響を及ぼしている。

【0036】さらに、前記感光膜パターン（17）を形成する前にキャッピング窒化膜（capping nitride）を利用した自己整列コンタクト（NC-SAC）を行う方法は、食刻工程時に酸化膜との大きな食刻選択比の差により有用に用いられる。

【0037】しかし、窒化膜そのものが有する固有の応力（stress）と、これによる後続熱工程により導電配線形成工程時に誘発されるクラック（crack）現象を低減

させることができず、クラックによる導電層の変性が発生して素子に悪影響を及ぼしている。

【0038】次いで、図3に示すように前記図2の感光膜パターン（17）形成工程前に、前記ハードマスク（15）である窒化膜を蒸着しその表面をプラズマ処理して表面にシリコン酸化膜（21）を形成する。

【0039】その次に、前記酸化膜（21）上部に導電配線コンタクト用マスクを利用した写真食刻工程で、前記酸化膜（21）とハードマスク（15）、反射防止膜（13）、そして導電層（11）を食刻してパターンニングする。

【0040】次いで、前記導電層（11）パターン側壁に低圧化学気相蒸着（low pressure chemical vapor deposition、以下ではLPCVDという）方法で窒化膜スペーサを形成する。

【0041】このとき、前記窒化膜スペーサは高い段差被覆比を有する長所を有するが、後続熱工程によりハードマスクに用いるPECVD窒化膜との接合が不良のため脱離現象があり、これにより導電層（11）の酸化現象が誘発され得る短所がある。

【0042】前記のように、従来技術に係る半導体素子のコンタクト形成方法においては次のような問題点がある。

【0043】従来技術に係る半導体素子のコンタクト形成方法においては、導電層の上部及び側壁に形成される反射防止膜、ハードマスク及び絶縁膜スペーサの物質が異なるかその蒸着方法が異なることにより、それぞれの層間の脱着現象が誘発されることがあり、これにより不要な酸化膜が誘発されてそれに伴う半導体素子の収率、特性及び信頼性を低下させることのできる問題点がある。

【0044】一方、従来技術に係る半導体素子の自己整列コンタクト形成方法のさらに他の実施例を、図4を参照して説明すれば次の通りである。

【0045】図4は、従来技術に係る半導体素子の自己整列的なコンタクト方法のさらに他の実施例を示した断面図である。

【0046】従来技術に係る自己整列的なコンタクト形成方法の一実施例は、図4に示されたように、先ず半導体基板（31）上部にゲート電極用導電体（33）を形成し、その上部にマスク絶縁膜の第1シリコン窒化膜（35）を形成する。

【0047】その次に、前記第1シリコン窒化膜（35）上部に反射防止膜でシリコン酸化窒化膜（39）を形成する。

【0048】次いで、ゲート電極マスクを用いた食刻工程で前記反射防止膜のシリコン酸化窒化膜（39）、マスク絶縁膜の第1シリコン窒化膜（35）とゲート電極用導電体（33）を食刻してゲート電極を形成する。

【0049】このとき、前記反射防止膜は露光工程時に

マスク絶縁膜に用いられるシリコン窒化膜の乱反射が甚だしいため、高集積化された半導体素子の製造工程には必ず必要である。

【0050】その次に、前記ゲート電極側壁に第2シリコン窒化膜(37)で絶縁膜スペーサを形成する。

【0051】次いで、全体表面上部を平坦化させる層間絶縁膜(41)を形成する。このとき、前記層間絶縁膜(41)はビーピーエスジー(boro phospho silicate glass、以下ではBPSGという)のように流動性の優れた絶縁物質で形成する。

【0052】その次に、前記半導体基板(31)の予定された部分を露出させる自己整列的なコンタクト工程でコンタクトホール(43)を形成する。

【0053】前記のように、従来技術に係る自己整列的なコンタクト工程は、マスク絶縁膜や絶縁膜スペーサに用いられるシリコン窒化膜の大きい応力(stress)によりウェーハの歪曲現象が誘発されることがあり、それによる導電体のリフティング(lifting)等の現象が発生する。

【0054】さらに、それに伴う後続リソグラフィー(lithography)工程を困難にする問題点(例えば、他の層等の間の整列)がある。

【0055】そして、前記シリコン窒化膜は高い誘電率を有しており、導電体の周辺に形成され高い寄生キャパシタンスを有することにより、素子の特性を劣化させる問題点がある。

【0056】尚、前記シリコン窒化膜は乱反射が甚だしいため、その上部に反射防止膜が必ず必要になるので工程が複雑になる問題点がある。

【0057】

【発明が解決しようとする課題】ここに、本発明は前記のような従来技術の問題点を解決するためのものであり、本発明の第1目的は、SAC工程で食刻障壁層で過シリコン酸化窒化膜を用いて層間絶縁膜食刻時、十分な食刻選択比を得ることのできる半導体素子のコンタクト形成方法を提供することにある。

【0058】さらに、本発明の第2目的は食刻工程時にエッチストップを防止し、ストレスを減少させようとした半導体素子のコンタクト形成方法を提供することにある。

【0059】そして、本発明の第3目的は窒化膜の後続熱処理工程時のクラック発生を防止し、配線間の寄生キャパシタンスを減少させて工程収率、及び素子動作の信頼性を向上させ得る半導体素子のコンタクト形成方法を提供することにある。

【0060】尚、本発明の第4目的は導電層パターンの上側及び側壁に同一の物質でそれぞれの過シリコン酸化窒化膜を形成し、脱着現象の防止を図る半導体素子のコンタクト形成方法を提供することにある。

【0061】そして、本発明の第5目的は後続工程で自

己整列的なコンタクト工程を安定的で容易に行うことにより、半導体素子の特性劣化を防止しようとする半導体素子のコンタクト形成方法を提供することにある。

【0062】尚、本発明の第6目的はシリコン酸化窒化膜とシリコンリッチシリコン酸化窒化膜の積層構造で導電体のマスク絶縁膜と絶縁膜スペーサを形成することにより、自己整列的なコンタクト工程時に半導体素子の特性、信頼性、及び収率を向上させ、それに伴う半導体素子の高集積化に適する半導体素子のコンタクト形成方法を提供することにある。

【0063】

【課題を解決するための手段】前記のような目的を達成するための本発明に係る半導体素子のコンタクト形成方法の第1特徴は、所定の下部構造物を有する半導体基板上に過シリコン酸化窒化膜で成る食刻障壁層を形成する工程と、前記過シリコン酸化窒化膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜でコンタクトホールに予定されている部分を露出させる感光膜パターンを形成する工程と、前記感光膜パターンにより露出されている層間絶縁膜を選択的に除去して過シリコン酸化窒化膜を露出させるが、前記層間絶縁膜をC-H-F系ガスを利用して食刻し前記感光膜パターンを除去する工程と、前記選択的に除去された層間絶縁膜をマスクに、前記露出された過シリコン酸化窒化膜を除去して自己整列コンタクトを形成する工程を備えることにある。

【0064】さらに、本発明に係る半導体素子のコンタクト形成方法の第2特徴は、半導体基板上に導電層パターンとハードマスク絶縁膜パターンを積層する工程と、前記ハードマスク絶縁膜パターンと導電層パターン側壁に絶縁膜スペーサを形成する工程と、前記全体構造の上部に過シリコン酸化窒化膜で成る食刻障壁層を形成する工程と、前記過シリコン酸化窒化膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜でコンタクトホールに予定されている部分を露出させる感光膜パターンを形成する工程と、前記感光膜パターンにより露出されている層間絶縁膜を選択的に除去して過シリコン酸化窒化膜を露出させるが、前記層間絶縁膜をC-H-F系ガスを利用して食刻し前記感光膜パターンを除去する工程と、前記選択的に除去された層間絶縁膜をマスクに、前記露出された過シリコン酸化窒化膜を除去して自己整列コンタクトを形成する工程を備えることにある。

【0065】そして、本発明に係る半導体素子のコンタクト形成方法の第3特徴は、半導体基板上に導電層を形成しその上部に非晶質シリコンやポリシリコンの含量が5~30パーセント含まれた第1過シリコン酸化窒化膜で成るハードマスクを形成する工程と、前記第1過シリコン酸化窒化膜をプラズマ処理し前記第1過シリコン酸化窒化膜表面に酸化膜を形成する工程と、前記ハードマスクと導電層をパターンニングしてハードマスクパターンと導電配線を形成する工程と、前記ハードマスクパターン

と導電配線側壁に非品質シリコンやポリシリコンの含量が5〜30パーセント含まれた第2過シリコン酸化窒化膜で成るスペーサを形成する工程を含んで構成される。

【0066】さらに、本発明に係る半導体素子のコンタクト形成方法は、半導体基板上部に導電層、第1シリコン酸化窒化膜及び第1シリコンリッチ酸化窒化膜を形成しこれらをパターニングして導電配線を形成する工程と、前記導電配線側壁に第2シリコン酸化窒化膜と第2シリコンリッチ酸化窒化膜の積層構造で成るスペーサを形成する工程と、前記全体構造表面上に全体表面上部を平坦化させる層間絶縁膜を形成する工程と、前記半導体基板の予定された部分を露出させるコンタクトを自己整列的に形成する工程を含んで構成される。

【0067】

【発明の実施の形態】以下、本発明に係る半導体素子のコンタクト形成方法の実施例等を添付の図面を参照しながら詳しく説明する。

【0068】図5乃至図7は、本発明の第2実施例に係る半導体素子のコンタクトホール製造工程であり、電荷貯蔵電極用SACの例である。

【0069】図8は、本発明の第2実施例に係る半導体素子の断面図である。

【0070】図9は、本発明の第3実施例に係る半導体素子の断面図である。

【0071】本発明に係る第1実施例は、図1に示されたように所定の半導体基板(51)、例えばシリコンウェーハ上にゲート酸化膜(図示省略)と重なっているゲート電極(53)、マスク酸化膜(33)パターン及びソース/ドレイン領域(図示省略)で成るMOS FETを形成した後、前記構造の全表面にコンタクトホール食刻時の食刻停止層になる過シリコン酸化窒化膜(57)を形成する。

【0072】このとき、前記過シリコン酸化窒化膜(57)はシリコンソースには SiH_4 や Si_2H_6 、酸素ソースには N_2O や O_2 、窒素ソースには NH_3 や N_2 等を共通的に用いる。

【0073】さらに、混合気体流量比、及び発生電源気体圧力基板バイアス等はプラズマ発生原理や装備に従い調節するが、プラズマ誘導化学気相蒸着(Plasma Enhanced Chemical Vapor Deposition; 以下PE-CVDと称する)と高密度プラズマCVD(HDP-CVD)等の方法で形成することができる。

【0074】そして、PE-CVDは主にキャパシティブカップルドタイププラズマCVD装備を用い、高密度プラズマCVD(high density plasma CVD: HDP-CVD)はインダクティブカップルドプラズマCVD装備を用いる。

【0075】その次に、図6に示すように前記過シリコン酸化窒化膜(57)上にビービーエスジー(Boro Phospho Silicate Glass; 以下BPSGと称する)やテオス(Tetraethyl Ortho Silicate; 以下TEOSと称する)、ビー

エスジー(Phospho Silicate Glass: PSG)等の酸化膜材質で成る層間絶縁膜(59)を形成し、前記半導体基板(51)で電荷貯蔵電極コンタクトに予定されている部分上の層間絶縁膜(59)を露出させる感光膜パターン(61)を形成する。

【0076】次いで、図7に示すように前記感光膜パターン(61)により、露出されている層間絶縁膜(59)を乾式食刻して過シリコン酸化窒化膜(15)を露出させるコンタクトホール(63)を形成する。

【0077】このとき、前記で過シリコン酸化窒化膜(57)はSi-OボンドとSi-Nボンド以外に食刻機材の異なるSi-Siボンドが存在するため、酸化膜材質の層間絶縁膜(59)とは十分な食刻選択比を得ることができる。

【0078】前記で本発明者の実験結果によれば、Si含量に従う層間絶縁膜(59)との食刻選択比は層間絶縁膜(59)がBPSGの場合は下記の表1に示すように変化し、Si含有量が70%以上となると漏洩電流が発生するため用いない。

【0079】

【表1】

Si 含量 (%)	選択比
0	5
10	10
20	20
30	25
50	30
70	40

【0080】さらに、前記の層間絶縁膜(59)の食刻条件は、表2に示すような要素等を考慮して条件を決定することになる。

【0081】このとき、乾式食刻工程はC-H-F含有ガス、例えば C_2F_4 、 C_2F_6 、 C_3F_8 、 C_3F_6 、 C_4F_8 、 C_4F_6 、 C_5F_8 、 C_5F_{10} 、 $\text{C}_x\text{H}_y\text{F}_z$ ($x+y=2, 3, 4, 5$; $z=4, 6, 8, 10$)、 CH_3F 、 C_2HF_5 、 C_2H_2 、 CH_3F 、及び CH_2F_2 で成る群の中から任意に選択される一つ又はそれ以上の混合ガスを用いるか、前記の混合ガスに不活性ガス、例えばAr、He、Ne、Xe又は N_2 等と混合して用いることもある。

【0082】尚、本発明者の実験結果に係る好ましい実施例では層間絶縁膜(59)がBPSGのとき、パワーは300〜3,000W、ガス圧力3〜200mT_{orr}、 C_4F_8 : CH_2F_2 :Ar=5〜50:1〜50:1〜1,000の混合ガスを用いて行うとき最大の食刻選択比を得ることができる。

【0083】そして、工程条件と選択比、エッチストップ可能性、窒化膜パンチスルー可能性の関係においては、パワーやガス圧力、 C_4F_8 や CH_2F_2 ガス量、及びArガス量が増加するに従い食刻選択比が増加してエッチストップ可能性は減少し、窒化膜パンチスルー可能性は減少する。

【0084】前記で過シリコン酸化窒化膜(59)は、

10

20

30

40

50

窒化膜とは表 2 に示したような物質特性を有する。

*【表 2】

【0085】

*

物 質	誘電率	ストレス	選択比
過シリコン酸化窒化膜	5~6	1E8~3E9dyne/cm ² : compressive to tensile	20~25
窒化膜	8	~1E10dyne/cm ² : tensile	25

【0086】一方、本発明の第 2 及び 3 実施例等を図 8 及び図 9 を参照しながら説明すれば次の通りである。

【0087】図 8 は、本発明の第 2 実施例に係る半導体素子の断面図である。

【0088】図 9 は、本発明の第 3 実施例に係る半導体素子の断面図である。

【0089】本発明の第 2 実施例は、図 8 に示すように食刻障壁層には過シリコン酸化窒化膜を用いるが、ゲート電極 (73)、マスク酸化膜パターン (75) の側壁に酸化膜スペーサ (77) が形成されている場合である。

【0090】さらに、本発明の第 3 実施例は、図 9 に示されたように過シリコン酸化窒化膜を利用してスペーサ (97) を形成し、マスク酸化膜 (95) も過シリコン酸化窒化膜に取り替えた場合の例である。

【0091】したがって、本発明に係る半導体素子のコンタクト形成方法においては、食刻障壁層を用いる SAC 工程で食刻障壁層に過シリコン酸化窒化膜を用い、層間絶縁膜の食刻工程時に C-H-F 系ガスを混合使用して食刻障壁層との食刻選択比を増加させ、低圧 CVD 窒化膜に比べ過シリコン酸化窒化膜がストレスが少ないため、ストレスによる素子の特性劣化やウェーハの歪曲等のような現象を防止することができる。

【0092】尚、後続熱処理工程での窒化膜のクラック発生問題も解決し、通常の反射防止膜に用いられる過シリコン酸化窒化膜を用いるため、追加的な反射防止工程が不要なので工程が単純化する。

【0093】そして、過シリコン酸化窒化膜が窒化膜に比べて誘電率が小さいため、配線間寄生キャパシタンスによる素子の動作速度低下を改善させることができる。

【0094】さらに、過シリコン酸化窒化膜が損傷を受けないため基板の損傷が防止され、最適工程条件の余裕度が増加し、食刻均一度が増加して工程収率及び素子動作の信頼性を向上させることができる。

【0095】一方、本発明に係る半導体素子のコンタクト形成方法の第 4 実施例を添付の図面を参考にして詳しく説明することにする。

【0096】図 10 乃至図 11 は、本発明の第 4 実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【0097】参考に、本発明に係る半導体素子のコンタクト形成方法の第 4 実施例の発明の原理は次の通りであ

る。

10 【0098】本発明の第 4 実施例は、SAC 工程を利用した導電配線形成のため多段階に進められる ARC とハードマスク、そして絶縁膜スペーサ蒸着工程時にそれぞれの薄膜の有する固有特性と機能を維持するよう形成するが、同一の材料である過シリコン酸化窒化膜単層に形成する。

【0099】先ず、前記反射防止膜は配線材料の高反射率のため膜屈折率を配線材料と感光膜の屈折率の中間値を持たなければならない。

20 【0100】したがって、その値が広範囲に亘って変化されるべきであり、素子内にあるとき素子特性を低下させてはならない固有機能を有する。

【0101】さらに、前記ハードマスクは既存の窒化膜のように層間絶縁膜である酸化膜との食刻選択比が高くなければならず、配線物質に対する酸化防止膜としての役割を行い素子特性を低下させない膜特性を維持しなければならない。

30 【0102】これに従い、本発明では PECVD 装置を利用してシリコン酸化窒化膜を成している蒸着気体の混合比率、プラズマ励起電力、基板温度、反応気体圧力等の装置因子を調節することにより、非晶質やポリシリコン、シリコン窒化物、シリコン酸化物の含量を特定に有する新しい過シリコン酸化窒化膜を形成する。

【0103】本発明で利用される過シリコン酸化窒化膜は非晶質又はポリシリコン含量を 5~30% にし、シリコン窒化膜の含量を 30% 以上 70% 以下にするとともに反射防止膜として使用可能な n 、 k 値を維持する（但し、 n は屈折率、 k は吸収常数）。

40 【0104】尚、同一の光学的特性と工程進行時の固有機能を有する過シリコン酸化窒化膜を用いるが、反射防止膜とハードマスクの機能を有するよう幾多の段階に分類された工程を単位工程で進め、同じチャンパー内でスキュー除去のためのインシチュプラズマ工程も進めることができ高い工程効率を有することができる。

【0105】さらに、ハードマスクのような材料の過シリコン酸化窒化膜をスペーサに用いて二薄膜間の接合特性を増加させることにより、後続熱工程時の二薄膜間の脱着を防止して素子の安定化を向上させる。

50 【0106】そして、PECVD を利用して膜のストレスを調節することができ、LPCVD に比べて劣る段差被覆比は、スペーサ蒸着時に小幅の配線間隔を有するパターン

形成時に利用され得る長所を有している。

【0107】このような点に鑑み、本発明に係る半導体素子のコンタクト形成方法の第4実施例は、図10に示すように半導体基板（図示省略）上部に導電層（101）を形成し、その上部に反射防止膜とハードマスクの役割をする単層の第1過シリコン酸化窒化膜（103）を形成する。

【0108】このとき、前記第1過シリコン酸化窒化膜（103）は、0.1~10torrの反応室圧力、10~1000KWの高周波印加電力、100~500℃の基板温度、100~1000mmの両電極間の距離を維持する反応チャンパーに反応気体の比を調節して蒸着する。

【0109】さらに、非晶質シリコンやポリシリコンの含量を5~30パーセント含むように形成し、層間絶縁膜に用いられる酸化膜との食刻選択比の差を大きく有するようにする。

【0110】このとき、前記第1過シリコン酸化窒化膜（103）は、前記5~30パーセント範囲内で下側に低シリコン含量を含み上側に高シリコン含量を含むようインシチュ工程で形成し、食刻工程時の食刻効率を向上させるハードマスクに用いる。

【0111】そして、前記低シリコン含量を含む第1過シリコン酸化窒化膜（103）は、シリコン酸化窒化膜が成しているシリコン、シリコン窒化物（ Si_3N_4 ）及びシリコン酸化物（ SiO_2 ）の中からSi-N（ Si_3N_4 ）含量比を30パーセント以上70パーセント以下にして形成することにより、Si-O（ SiO_2 ）の含量比を低減させ後続工程で酸化膜に形成される層間絶縁膜との食刻選択比の差を大きく持つよう形成する。

【0112】その次に、図面には示していないが、インシチュで同じチャンパー内でプラズマ処理し、前記第1過シリコン酸化窒化膜（103）の表面を酸化させることにより、薄い酸化膜（未図示）を形成させて後続写真食刻工程時に誘発され得るスキュム（scum）現象を抑制する。

【0113】このとき、インシチュ（in-situ）で進めるプラズマ処理条件は次の通りである。

【0114】先ず、反応室圧力は0.01~10torr、高周波印加電力は0~5000W、基板温度は100~500℃、両電極間距離は10~1000mmの条件下で N_2O 又は O_2 気体を100~1000sccmで用いて行う。

【0115】その次に、導電配線マスク（図示省略）を利用した写真食刻工程で前記第1過シリコン酸化窒化膜（103）と導電層（101）をパターンニングし、第1

過シリコン酸化窒化膜パターン（103）と導電層パターン（101）を形成する。

【0116】次いで、図11に示すように、全体表面上部にPECVD装置を利用して第2過シリコン酸化窒化膜（未図示）を一定厚さほど蒸着する。

【0117】このとき、前記第2過シリコン酸化窒化膜（未図示）は13.56MHz又は100Hz~1MHzの高周波電源を用いてPECVD方法で形成する。

【0118】さらに、前記PECVD方法は、0~2KWのプラズマ発生電力で薄膜密度を高めるため基板バイアスを印加し、0.5~20torrの圧力下で行う。

【0119】そして、前記PECVD方法は、 SiH_4 を0~500sccm、 N_2O を0~5000sccm、 N_2 を0~50000sccmに混合した気体を用いる。

【0120】このとき、He、Ne又はAr等の不活性気体を添加して希釈された蒸着用混合気体を利用する場合、薄膜均一度を向上させることができる。

【0121】尚、前記第2過シリコン酸化窒化膜（未図示）は2.45GHzの超高周波電源を用いたPECVD方法で形成することもできる。

【0122】そして、前記PECVD方法は、0~5KWのプラズマ発生電力で薄膜密度を高めるため基板バイアスを印加し、0.002~100torrの圧力下で行う。

【0123】さらに、前記PECVD方法は、 SiH_4 を0~500sccm、 N_2O を0~5000sccm、 N_2 を0~50000sccmに混合した気体を用い、He、Ne又はAr等の不活性気体を添加して希釈された蒸着用混合気体を利用して薄膜均一度を向上させることができる。

【0124】その次に、前記第2過シリコン酸化窒化膜（未図示）を異方性食刻し、前記導電層（101）側壁に過シリコン酸化窒化膜スペーサ（105）を形成することにより、導電層パターン（101）の上側と側壁に単層の過シリコン酸化窒化膜で成る過シリコン酸化窒化膜パターン（103）と過シリコン酸化窒化膜スペーサ（105）を形成する。

【0125】一方、下記表3は本発明に係る過シリコン酸化窒化膜パターン（103）と過シリコン酸化窒化膜スペーサ（105）の光学的特性をスペクトロスコーピックエリプソメーター（spectroscopic ellipsometer）を利用して測定した結果を整理したものである（但し、n：屈折率、k：吸収常数）。

【0126】

【表3】

SiH ₄ : NH ₃ : N ₂ O (sccm)	70 : 200 : 120		80 : 350 : 50	
SiO ₂ (%)	36.69		31.29	
Si ₃ N ₄ (%)	50.78		57.84	
非晶質シリコン (%)	9.53		10.87	
波長 (nm)	n	k	n	k
633	1.954	0.009	2.033	0.011
365	2.066	0.085	2.16	0.108
248	2.168	0.323	2.246	0.398

【0127】さらに、下記表4は既存のNB-SAC、酸化窒化膜SAC工程と、本発明に係る過シリコン酸化窒化膜SAC工程技術の誘電率、応力、及び選択比等の特性を示す。

*す。

【0128】

*10 【表4】

	誘電率	応力 (stress)	選択比
過シリコン酸化窒化膜 SAC	5~6	1E8~3E9dyne/cm ² : compressive to tensile	20~25
酸化窒化膜 SAC	5~6	1E8~3E9dyne/cm ² : compressive to tensile	5
NB-SAC	8	~3E9dyne/cm ² : tensile	25

【0129】参考に、PECVDがLPCVDより低い段差被覆比を現わす結果は、配線の線幅が減少するに従いスペーサ形成時にサイドと下部に蒸着される厚さが低いことにより、狭いパターン間のスペーサ形成時に長所として作用することができる。

【0130】したがって、本発明に係る半導体素子のコンタクト形成方法においては、過シリコン酸化窒化膜形成時に膜を構成する非晶質シリコンの含量を5~30%に一定に維持し、同時にSi-Nの含量を30~70%の条件にして食刻選択比を増加させることにより、既存にキャピング窒化膜を利用したSAC工程を過シリコン酸化窒化膜の単層を利用してSAC工程で行い、既存の多段階蒸着による反射防止膜、ハードマスク、及びスペーサのようなそれぞれの層が有する機能を行うことができる。

【0131】さらに、本発明に係る半導体素子のコンタクト形成方法は、過シリコン酸化窒化膜の厚さが900Å以上であれば、下部膜の反射度を10%以下に調節することができる点に鑑みて反射防止膜、ハードマスク蒸着膜の厚さを低下させることができ後続工程時の段差を減少させることができる。

【0132】そして、蒸着後インシチュプラズマ処理ができ、多段階の工程を一段階に減少させることができ工程を単純化させることができる。

【0133】さらに、食刻工程の進行時にシリコン酸化窒化膜と窒化膜の二種類の材料に伴う多段階式食刻工程は、単層の過シリコン酸化窒化膜を食刻する工程に取り替えることにより工程効率を高めることができる。

【0134】併せて、ハードマスク及び反射防止膜を過シリコン酸化窒化膜に形成することにより、ハードマスクとの接合を増加させ素子の配線形成における安定化に寄与することができる。

【0135】よって、本発明により経済的・時間的節減、及び工程の効率、及び素子の特性を改善することができる。

【0136】一方、本発明に係る半導体素子の自己整列的なコンタクト方法の第5実施例を、添付の図面を参考にして詳しく説明することにする。

【0137】図12及び図13は、本発明の第5実施例に係る半導体素子の自己整列的なコンタクト方法を示す断面図である。

【0138】本発明に係る半導体素子の自己整列的なコンタクト方法は、図12に示すように半導体基板(111)上部にゲート電極用導電体(113)、第1シリコン酸化窒化膜(115)と第1シリコンリッチシリコン酸化窒化膜(117)を積層する。

【0139】このとき、前記第1シリコンリッチ酸化窒化膜(117)はシリコンが20パーセント体積比に含まれた酸化窒化膜である。

【0140】さらに、前記第1酸化窒化膜(115)は通常の酸化窒化膜であり、前記第2シリコンリッチ酸化窒化膜(117)の形成工程中供給されるシリコンのソースガスを調節することにより、前記第1シリコン酸化窒化膜(115)と第1シリコンリッチ酸化窒化膜(117)をインシチュに形成することができる。

【0141】その次に、前記積層構造上部に感光膜を塗布し、これをゲート電極マスク(図示省略)を利用した露光及び現像工程で感光膜パターンを形成する。

【0142】次いで、前記感光膜パターンをマスクにして前記積層構造を食刻し、上側に第1シリコン酸化窒化膜(115)と第1シリコンリッチ酸化窒化膜(117)の積層構造が備えられるゲート電極を形成する。

【0143】その次に、全体表面上部に第2シリコン酸化窒化膜(未図示)を一定厚さに形成し、これを異方性食刻して前記ゲート電極側壁に前記第2シリコン酸化窒化膜で成る第1絶縁膜スペーサ(119)を形成する。

【0144】次いで、全体表面上部に第2シリコンリッチ酸化窒化膜(未図示)を一定厚さに形成し、これを異方性食刻して前記第1絶縁膜スペーサ(119)側壁に

20

30

40

50

前記第2シリコンリッチ酸化窒化膜で第2絶縁膜スペーサ(121)を形成する。

【0145】このとき、前記第1及び第2シリコン酸化窒化膜(115)(119)は酸化膜の代わりに用いることができる。

【0146】その次に、図13に示すように前記全体表面上部に全体表面を平坦化させる層間絶縁膜(123)を形成する。このとき、前記層間絶縁膜(123)はBPSGのように流動性の優れた絶縁物質で形成する。

【0147】次いで、ビットラインや貯蔵電極を形成できるコンタクトマスクを利用した食刻工程で前記層間絶縁膜(123)を自己整列的に食刻し、前記半導体基板(111)の予定された部分を露出されるコンタクト(125)を形成する。

【0148】このとき、前記自己整列的なコンタクト食刻工程は、前記層間絶縁膜(123)と第1及び第2シリコンリッチ酸化窒化膜(117)(121)に十分な食刻選択比の差を持つことのできる C_4F_8/CH_2F_2 等のC-F系プラズマを利用して行う。

【0149】さらに、前記食刻工程の安定性を向上させるため、アルゴンやヘリウム等のような不活性ガスを添加して行うこともできる。

【0150】そして、前記食刻工程は C_3F_8 、 C_5F_8 等のような炭素リッチ(C-rich)フッ素ガスを利用して行うこともできる。このとき、これにC-H-F系ガスを添加してポリマーによる食刻停止現象をなくしながら高選択比を有するよう行うこともできる。

【0151】一方、前記ゲート電極の代わりにビットラインのマスク絶縁膜及び絶縁膜スペーサで、本発明のようなシリコン酸化窒化膜とシリコンリッチシリコン酸化窒化膜の積層構造を形成することができ、ビットラインコンタクト工程や貯蔵電極コンタクト工程に適用することもできる。

【0152】

【発明の効果】前記で説明したように、本発明に係る半導体素子の自己整列コンタクト方法においては次のような効果がある。

【0153】本発明の第1乃至3実施例に係る半導体素子のコンタクト形成方法においては、食刻障壁層を用いるSAC工程で食刻障壁層に過シリコン酸化窒化膜を用い、層間絶縁膜の食刻工程時にC-H-F系ガスを混合使用して食刻障壁層との食刻選択比を増加させ、低圧CVD窒化膜に比べ過シリコン酸化窒化膜がストレスが少なく、ストレスによる素子の特性劣化やウェーハの歪曲等のような現象を防止することができる。

【0154】尚、後続熱処理工程での窒化膜のクラック発生問題も解決され、通常の反射防止膜に用いられる過シリコン酸化窒化膜を利用するので、追加的な反射防止工程が不要であるため工程が単純になる。

【0155】そして、過シリコン酸化窒化膜が窒化膜に

比べ誘電率が小さいため、配線間の寄生キャパシタンスによる素子の動作速度低下を改善させることができる。

【0156】さらに、過シリコン酸化窒化膜が損傷を受けないため基板の損傷が防止され、最適工程条件の余裕度が増加し、食刻均一度が増加して工程収率及び素子動作の信頼性を向上させることができる。

【0157】一方、本発明の第4実施例に係る半導体素子のコンタクト形成方法においては、過シリコン酸化窒化膜形成時に膜を構成する非晶質シリコンの含量を5~30%に一定に維持し、同時にSi-Nの含量を30~70%の条件にして食刻選択比を増加させることにより、既存にキャピング窒化膜を利用したSAC工程を過シリコン酸化窒化膜の単層を用いてSAC工程で行い、既存の多段階蒸着による反射防止膜、ハードマスク、及びスペーサのようなそれぞれの層が有する機能を行うことができる。

【0158】さらに、本発明に係る半導体素子のコンタクト形成方法、過シリコン酸化窒化膜の厚さが900Å以上であれば、下部膜の反射度を10%以下に調節することができる点に鑑みて反射防止膜、ハードマスク蒸着膜の厚さを低下させることができ後続工程時の段差を減少させることができる。

【0159】そして、蒸着後インシチュプラズマ処理ができ、多段階の工程を一段階に減少させることができるため工程を単純化させることができる。

【0160】さらに、食刻工程進行時にシリコン酸化窒化膜と窒化膜の二種類の材料に伴う多段階式食刻工程は、単層である過シリコン酸化窒化膜を食刻する工程に取り替えることにより工程効率を高めることができる。

【0161】併せて、ハードマスク及び反射防止膜を過シリコン酸化窒化膜に形成することにより、ハードマスクとの接合を増加させ素子の配線形成における安定化に寄与することができる。

【0162】したがって、本発明により経済的・時間的節減、及び工程の効率、及び素子の特性を改善することができる。

【0163】本発明の第5実施例に係る半導体素子の自己整列的なコンタクト方法においては、通常のシリコン酸化窒化膜とシリコンリッチ酸化窒化膜又は通常のシリコン酸化膜と、シリコンリッチ酸化窒化膜の積層構造でマスク絶縁膜と絶縁膜スペーサを形成することにより、自己整列的なコンタクト工程を容易に行うことができる。

【図面の簡単な説明】

【図1】従来技術の一実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【図2】従来技術の一実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【図3】従来技術の一実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【図4】従来技術の他の実施例に係る半導体素子のコン

21

タクト形成方法を示す断面図である。

【図5】本発明の第1実施例に係る半導体素子のコンタクト形成断面図である。

【図6】本発明の第1実施例に係る半導体素子のコンタクト形成断面図である。

【図7】本発明の第1実施例に係る半導体素子のコンタクト形成断面図である。

【図8】本発明の第2実施例に係る半導体素子のコンタクト形成断面図である。

【図9】本発明の第3実施例に係る半導体素子のコンタクト形成断面図である。

【図10】本発明の第4実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【図11】本発明の第4実施例に係る半導体素子のコン

22

タクト形成方法を示す断面図である。

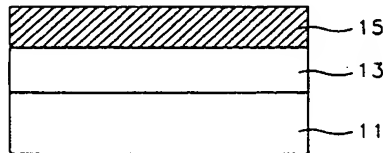
【図12】本発明の第5実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

【図13】本発明の第5実施例に係る半導体素子のコンタクト形成方法を示す断面図である。

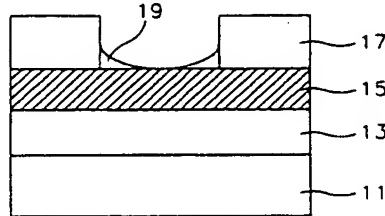
【符号の説明】

- 51 基板
- 53 ゲート電極
- 55 マスク酸化膜
- 57 過シリコン酸化窒化膜
- 59 層間絶縁膜
- 61 感光膜パターン
- 63 コンタクト

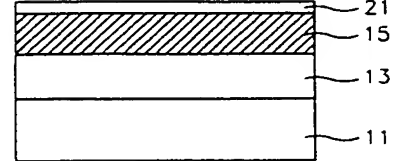
【図1】



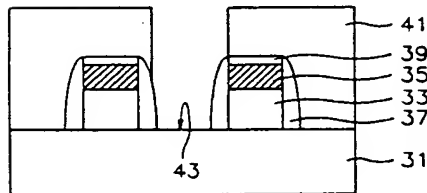
【図2】



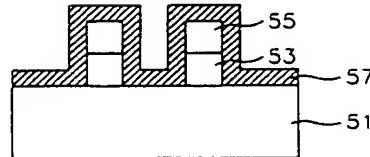
【図3】



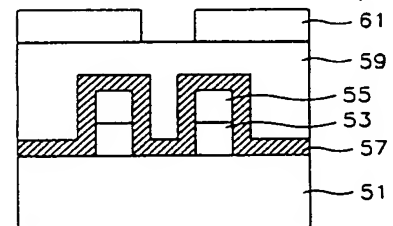
【図4】



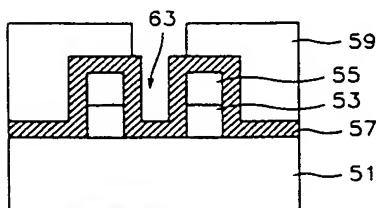
【図5】



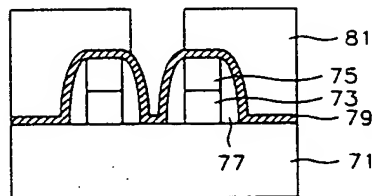
【図6】



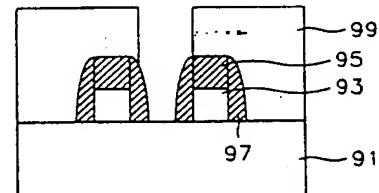
【図7】



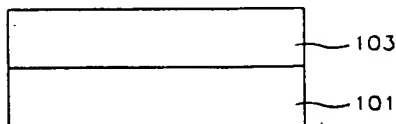
【図8】



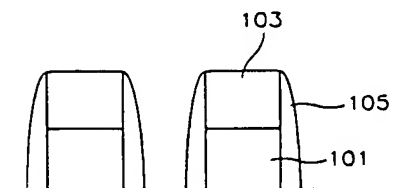
【図9】



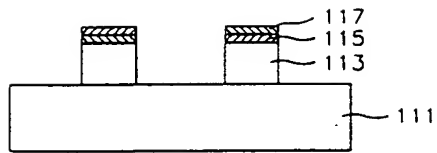
【図10】



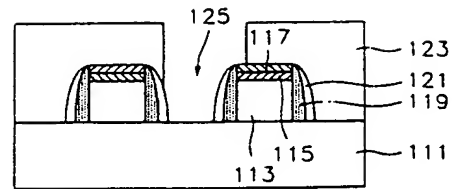
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 具 滋春
大韓民国京畿道利川市夫鉢邑牙美里山148
ー1 現代電子社員賃貸アパート106ー102
(72)発明者 金 眞雄
大韓民国ソウル特別市江東区明逸2洞92

(72)発明者 金 是範
大韓民国ソウル特別市廣津区廣壯洞484
現代アパート3団地301ー1005号
(72)発明者 吳 秀珍
大韓民国ソウル特別市冠岳区奉天11洞180
ー535